

プログラマブル・ユニバーサル・カウンタ

ZEN2003AFは24ビットのプログラマブル・ユニバーサル・カウンタLSIです。ロータリーエンコーダ、リニアスケール等から出力される2相パルス信号やアップダウン・パルス信号のカウントが可能です。カウンタ応答速度も20MHz (MAX) と高速であり、高速処理の必要なデジタル・サーボ制御、高精度計測をはじめ、広範囲の用途に使用可能です。

また、カウント値の信頼性を確保するために、2相パルス信号をモニタし、ノイズなどによる異常な入力を検出する機能を内蔵しています。アップダウン・カウンタのカウント値を常時パラレル出力するのでD/Aコンバータを接続可能です。

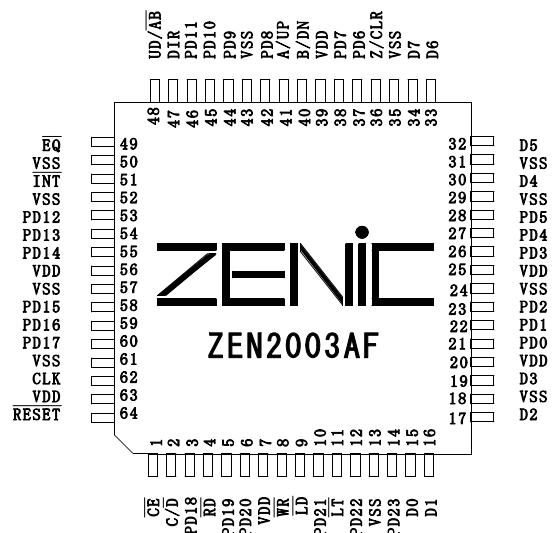
1. 特徴

- 24ビット・バイナリ・アップダウン・カウンタ
- カウンタ応答速度 20Mcps MAX (CLK $f_0=20\text{MHz}$ MAX, デューティ50% 動作時)
- カウント・パルス入力周波数
 - ・2相パルス信号入力モード時 : DC~5MHz MAX ($f_0 \times 1/4$ 以内)
 - ・アップダウン・パルス信号入力モード時 : DC~10MHz MAX ($f_0 \times 1/2$ 以内)
- 2相パルス入力位相弁別回路内蔵
- 異常入力検出機能 (2相パルス信号入力モード時)
- カウンタ動作モード切替可能
 - 遅倍切換 1/2/4倍 (2相パルス信号入力時のみ)
 - カウント方向切換
 - カウンタ・クリア制御 同期/非同期クリア
- 24ビットの比較レジスタ値-カウンタ値の一致検出機能
 - 瞬時出力 (モーメンタリ出力)
 - 割込用出力 (ラッチ出力) - オフセット出力
- カウンタ値24ビットパラレル出力
- 瞬時カウント値読出機能
- カウンタへの一括24ビットデータロード機能
- チップ内部ステータス読み出し可能
- 8ビット双方向データバス
- CMOSプロセス採用による低消費電力
- +5V 単一電源
- QFP 64PIN

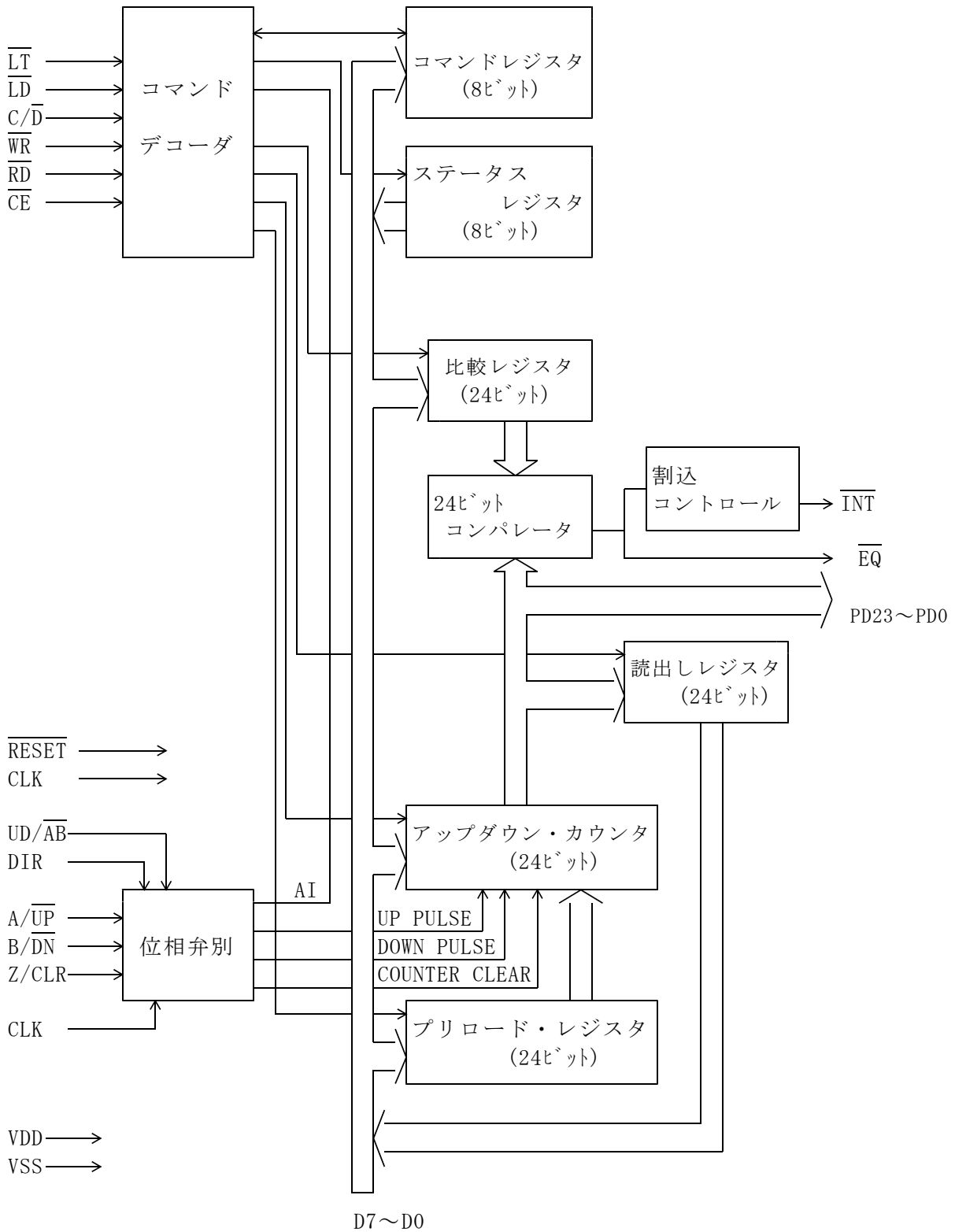
2. 主な用途

- ・NC工作機械
- ・高精度位置決め装置
- ・ロボットのアーム制御
- ・電動機の回転制御
- ・電子ゲージ・スケール
- ・汎用カウンタ
- ・シミュレータ

端子配置図
(TOP VIEW)



3. ブロック図



4、ブロック説明

- 1) アップダウン・カウンタ
24ビット長のプリセッタブル・アップダウン・バイナリ・カウンタです。
読み出しレジスタを経由して、カウント動作に影響を与えずに、カウント値をデータ・バスから読み出すことが出来ます。カウンタ値の初期設定はプリロードレジスタを使用して24ビット長のデータを一括してロードする方法と直接データバスから8ビット単位でロードする方法の2種類が可能です。
- 2) 比較レジスタ
24ビット長の書込専用レジスタです。
書き込まれたデータは、コンパレータによりアップダウン・カウンタのカウント値と比較されます。
- 3) コンパレータ
24ビット長のデジタル・コンパレータです。
比較レジスタのデータとアップダウン・カウンタのカウント値を常時比較し、結果をEQ(49Pin)、ステータス・レジスタと割込コントロール・ロジックに出力します。
- 4) プリロード・レジスタ
24ビット長の書込専用のデータ・レジスタです。
書き込まれたデータは外部信号LD(9Pin)またはコマンド書込(ロード指令)により一括してアップダウン・カウンタにロードされます。
- 5) 読み出しレジスタ
24ビット長の読み出し専用のデータ・レジスタです。
外部信号LT(11Pin)またはコマンド書込(ラッチ指令)によりアップダウン・カウンタのカウント値をラッチします。
- 6) コマンド・レジスタ
8ビット長のコマンド書込専用レジスタです。
ロード指令、ラッチ指令、カウント・クリア制御、レジスタ(バイト)セレクト、カウント・モード切換などのコントロールはこのレジスタを使用して行います。
- 7) ステータス・レジスタ
8ビット長のステータス読み出し専用レジスタです。
異常入力検知、データ・レディ、カウント値=プリセット値一致検出、アップダウン・カウンタのステータス・フラグとA、B、Zの入力信号の状態、割込出力(INT)の状態をモニタします。
- 8) 位相弁別ロジック
A/UP(41Pin)、B/DN(40Pin)の入力信号からアップダウン・カウンタ用のカウント・パルスを生じます。
- 9) コントロール・ロジック
リード/ライト・タイミング制御、コマンド・データのデコード、ステータスフラグの制御を行います。

5、端子機能

ピン番号	信号名称	I/O	機能
62	CLK	I	システム・クロック
64	RESET	I	システム・リセット アップダウン・カウンタ、位相弁別ロジック、コマンド・レジスタ、ステータス・レジスタが初期化されます。
1	CE	I	チップ・イネーブル
2	C/D	I	コマンド/データ・選択 "High": コマンド/ステータス "Low": データ
4	RD	I	読み出しストロブ
8	WR	I	書込ストロブ
9	LD	I	データ・ロード プリロード・レジスタのデータをアップダウン・カウンタに書き込みます。
11	LT	I	カウントデータ・ラッチ アップダウン・カウンタのカウント値を読み出しレジスタにラッチします。
15	D0	I/O	データ・バス 8ビットの双方向データ・バス。コマンド、ステータス、データの送受信に使用。
16	D1		
17	D2		
19	D3		
30	D4		
32	D5		
33	D6		
34	D7		
36	Z/CLR	I	カウンタ・クリア
40	B/DN	I	カウンタ・パルス入力B
41	A/UP	I	カウンタ・パルス入力A
47	DIR	I	カウンタ方向選択
48	UD/AB	I	入力信号選択 アップダウン・パルス信号/2相パルス信号の選択
49	EQ	0	一致検出出力 カウント値と比較レジスタのプリセット値の一致検出出力
51	INT	0	割込出力 カウント値とプリセット値の一致検出時に出力。システム・リセットまたはリセット・コマンド実行まで保持。
14, 12, 10 6, 5, 3, 60 59, 58, 55 54, 53, 46 45, 44, 42 38, 37, 28 27, 26, 23 22, 21	PD23 ~PDO	0	カウント値パラレル出力
13, 18, 24 29, 31, 35 43, 50, 52 57, 61	VSS		接地 (0 v)
7, 20, 25 39, 56, 63	VDD		電源 (+5 v)

6、基本動作

CE、C/D、RD、WRの4信号により読み出し／書込動作を選択します。

CE	C/D	RD	WR	動作
H	-	-	-	ディスエイブル
L	L	L	H	データ読み出し
L	L	H	L	データ書込
L	H	L	H	ステータス読み出し
L	H	H	L	コマンド書込

1) カウント・パルス入力の選択

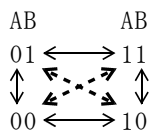
UD/AB	入力パルス信号	A/UP	B/DN
H	アップダウン・パルス	アップパルス	ダウンパルス
L	2相パルス	A相パルス	B相パルス

2) アクセスポインタ

データ読み出し、データ書込時の内部レジスタ選択は、コマンドレジスタのアクセスポインタを設定することにより行います。一度アクセスポインタを設定すると、1バイト毎のデータ読み出しまたは書込終了時に自動的にインクリメントします（自動インクリメント機能）。

3) 異常入力検出

2相パルス入力の時、正常な状態遷移（ \longleftrightarrow ）であるか否かをチェックする機能を持っている。図中の $\leftarrow\cdots\rightarrow$ で示す異常な状態遷移が起ると、ステータス・レジスタのD7が“H”となる。

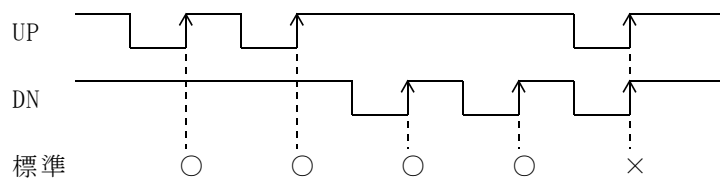


異常の原因例

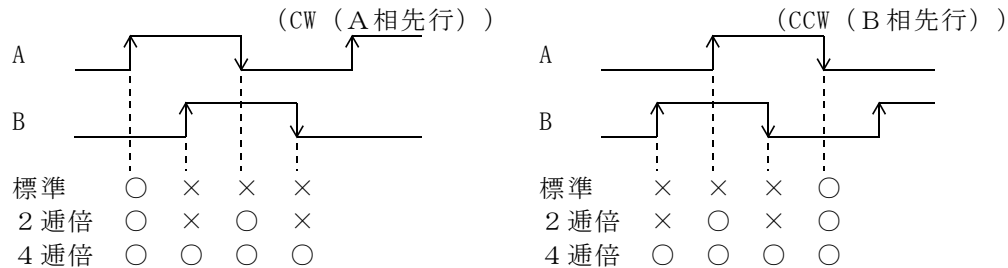
- ①パルス入力周波数がシステム・クロック周波数の1/4を超えたために正確にサンプリングできなくなった場合
- ②ノイズを拾った場合

4) カウントエッジの選択（○=カウント、×=ノーカウント）

・アップダウン・パルス入力



・2相パルス入力



7、コマンド・レジスタ

D7	D6	D5	D4	D3	D2	D1	D0
└──┘ (コマンド I D)							
0	0	= ロード／ラッチ、レジスタ選択					
0	1	= Z相入力制御					
1	0	= 逡倍、クリア・タイミング制御					
1	1	= 割込出力制御					

(1) ロード／ラッチ、レジスタ選択

D7	D6	D5	D4	D3	D2	D1	D0		
0	0	LD	LT	RS1	RS0	BS1	BS0		
						0	0	-- 下位 8 ビット	(D)
						0	1	-- 中位	ポインタは
						1	-	-- 上位	動作後自動インクリ
									メント
									↓
						0	0	----- アップダウン・カウンタ (D)	
						0	1	----- 比較レジスタ	”
						1	-	----- プリロード・レジスタ	↓
						1	-	----- データ・ラッチ指令	
						1	-	----- データ・ロード指令	

(2) Z相入力制御

D7	D6	D5	D4	D3	D2	D1	D0		
0	1	0	0	-	-	ZE1	ZE0		
						0	0	-- ノーオペレーション	
						0	1	-- Z相入力無効	(D)
						1	0	-- Z相入力次回限り有効	
						1	1	-- Z相入力毎回有効	

(3) 逡倍、クリアタイミング

D7	D6	D5	D4	D3	D2	D1	D0		
1	0	0	0	SYNC	ZC	MS1	MS0		
						0	0	-- 標準	
						0	1	-- 2 逡倍	
						1	-	-- 4 逡倍	(D)
						0	-	----- 可変エッジクリア	(D)
						1	-	----- 固定エッジクリア	(D)
						0	-	----- 非同期クリア	(D)
						1	-	----- 同期クリア	

(4) 割込出力制御

D7	D6	D5	D4	D3	D2	D1	D0		
1	1	0	0	-	-	-	INT		
								0	-- 割込出力ディスエイブル (D)
								1	-- 割込出力イネイブル

(D):デフォルト

8、ステータス・レジスタ

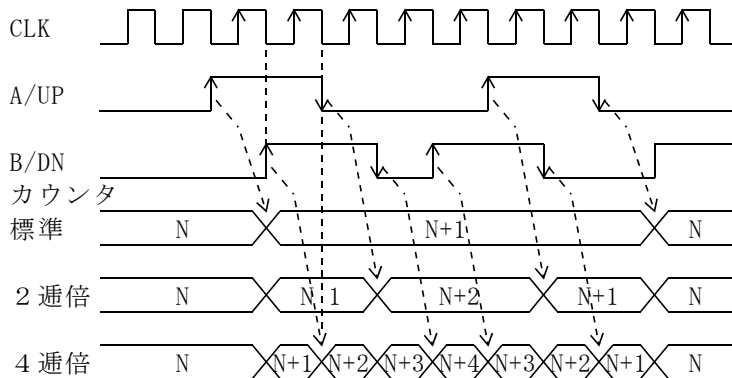
D7	D6	D5	D4	D3	D2	D1	D0	
AI	Z	A	B	DTR	U/D	EQ	INT	
0							0	INT = "L"
							1	" = "ハイ・インピーダンス"
						0		カウンタ値 = プリセット値
						1		" ≠ "
				0				ダウンカウンタ
				1				アップカウンタ
			0					読み出しレジスタ Not ready
			1					" Data ready
		0						B/DN = "L"
		1						= "H"
	0							A/UP = "L"
	1							= "H"
0								Z/CLR = "L"
1								= "H"
0								異常入力未検出
1								" 検出

AIはステータス読み出し、DTRは1バイトのデータ読み出しを実行すると、“0”にリセットされます。

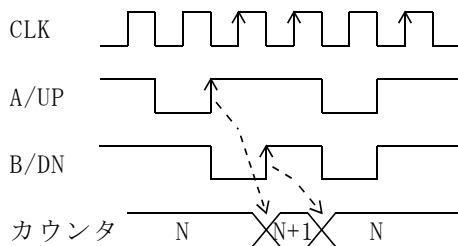
9、動作タイミング

(1) カウンタ動作

- ・2相パルス入力

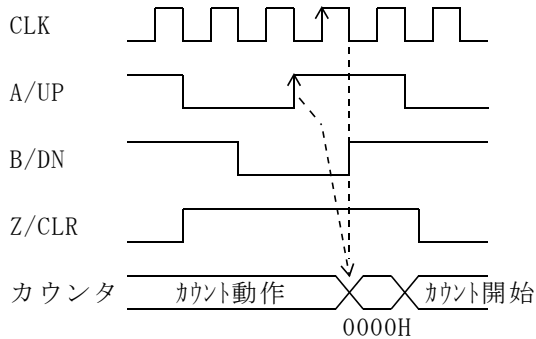


- ・アップダウン・パルス入力

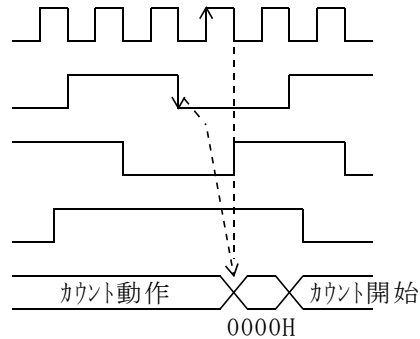


(2) クリア動作

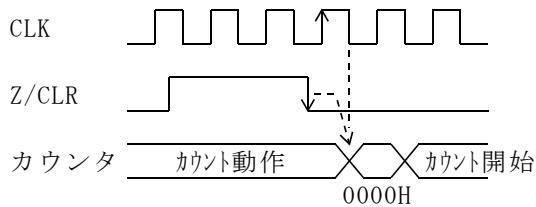
- 同期クリア (2相パルス入力のみ)
CW方向 (A相先行)



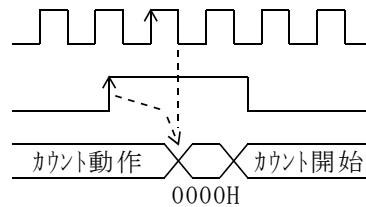
- CCW方向 (B相先行)



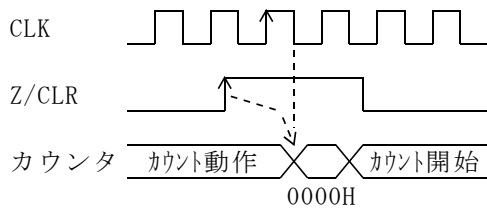
- 非同期クリア
可変エッジ
CW方向 (A相先行)



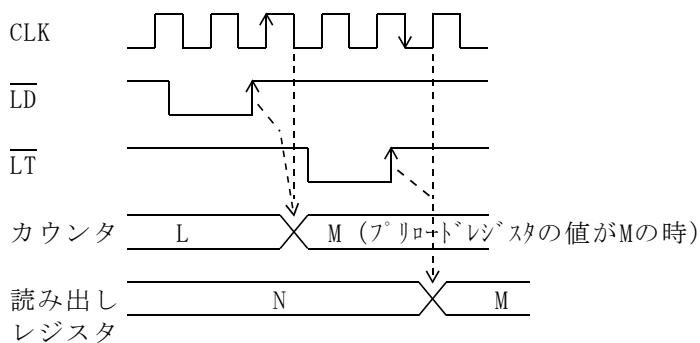
- CCW方向 (B相先行)



固定エッジ



(3) データロード、ラッチ動作タイミング



10、電気的特性

1) 絶対最大定格 ($V_{SS} = 0V$)

項目	記号	定格値	単位
電源電圧	V_{DD}	-0.3 ~ 7.0	V
入力端子電圧	V_I	$V_{SS}-0.3 \sim V_{DD}+0.3$	V
出力端子電圧	V_O	$V_{SS}-0.3 \sim V_{DD}+0.3$	V
尖頭出力電流	I_{OL}	+40	mA
	I_{OH}	-20	mA
許容損失	PT	550	mW
動作周囲温度	T_{OPR}	0 ~ 70	°C
保存温度	T_{STG}	-55 ~ 150	°C

2) 推奨動作条件 ($V_{SS} = 0V$)

項目	記号	最小値	標準値	最大値	単位
電源電圧	V_{DD}	4.75	5.00	5.25	V
周囲温度	T_a	0		70	°C

3) 入出力容量 ($V_{DD}=V_I=0V$ $f=1MHz$ $T_a=25^\circ C$)

項目	記号	最小値	標準値	最大値	単位
入力端子	C_{IN}		10	20	pF
出力端子	C_{OUT}		10	20	pF
入出力端子	$C_{I/O}$		10	20	pF

4) 直流特性 (推奨動作条件にて)

項目	記号	条件	最小値	標準値	最大値	単位
静止電源電流	I_{DDS}	$V_I=V_{DD}$ OR V_{SS}			100	μA
動作時電源電流	I_{DDO}	$V_I=V_{DD}$ OR V_{SS} $f=20MHz$ 出力開放			30	mA
入力電圧	Hレベル V_{IH}	(グループ A, D, E)	2		VDD	V
	Lレベル V_{IL}	(グループ A, D, E)	0		0.8	V
入力リーク電流	I_{LI}	$V_I=V_{DD}$ OR V_{SS} (グループ A, B)	-10		10	μA
	I_{PLPU}	$V_I=V_{DD}$ (グループ E)	-20		20	μA
入力スレッショルド	V_{T+T4}	$V_{DD}=5.0V$ (グループ B)		1.7	2.4	V
	V_{T-T4}		0.6	1.2		V
ヒステリシス幅	ΔV_{T+T4}	$V_{DD}=5.0V$ (グループ B)	0.2	0.5		V
出力電圧	Hレベル V_{OH}	$I_O=-1.6mA$ $V_I=V_{DD}$ OR V_{SS} (グループ D, F)	VDD			V
	Lレベル V_{OL}	$I_O=12mA$ $V_I=V_{DD}$ OR V_{SS} (グループ C) $I_O=4mA$ $V_I=V_{DD}$ OR V_{SS} (グループ D, F)			0.4	V
出力リーク電流	I_{OZ}	$V_O=HI-Z$ $V_I=V_{DD}$ OR V_{SS} $V_O=V_{DD}$ (グループ C)	-10		10	μA
		$V_O=HI-Z$ $V_I=V_{DD}$ OR V_{SS} $V_O=V_{DD}$ OR V_{SS} (グループ D)	-10		10	μA
プリアップ抵抗	R_{PU1}	$V_I=0.0V$ $V_{DD}=5.0V$ (グループ E)	12	30	75	K Ω

グループ A: \overline{CE} , $\overline{C/D}$, \overline{RD} , \overline{WR} , CLK, \overline{RESET} グループ B: \overline{LT} , \overline{LD} , Z/CLR, B/DN, A/UPグループ C: \overline{INT}

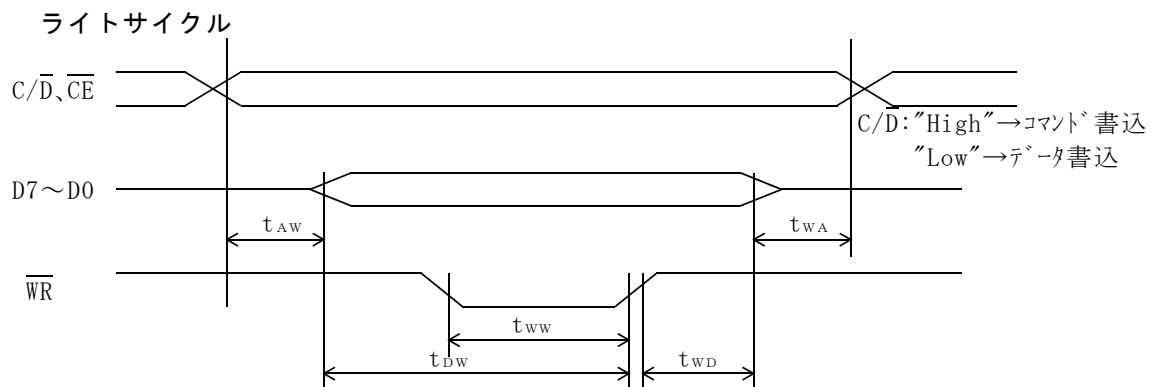
グループ D: D0, D1, D2, D3, D4, D5, D6, D7

グループ E: DIR, UD/AB

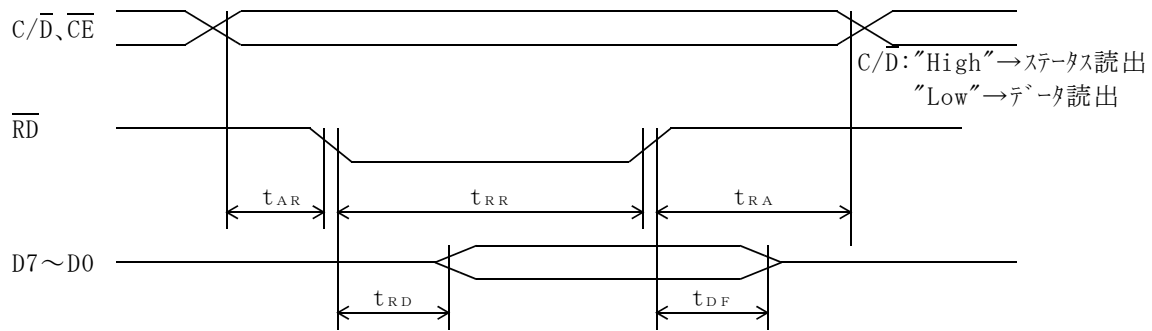
グループ F: EQ, PD23~PD0

11、AC特性 (Ta=0~70°C Vcc=5v±5%)

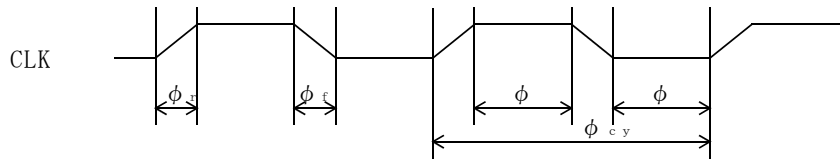
項目	記号	条件	Min	Max	単位
C/D, CEセット時間 (WR ↓)	t _{AW}		0		nS
C/D, CEホールド時間 (D7-D0)	t _{WA}		0		nS
データセット時間 (WR ↑)	t _{DW}		25		nS
データホールド時間 (WR ↑)	t _{WD}		10		nS
WRパルス幅	t _{WW}		50		nS
C/D, CEセット時間 (RD ↓)	t _{AR}		50		nS
C/D, CEホールド時間 (RD ↑)	t _{RA}		30		nS
RDパルス幅	t _{RR}		50		nS
データアクセス時間 (RD ↓)	t _{RD}			50	nS
データフロート遅延時間 (RD ↑)	t _{DF}			20	nS
クロックH/L パルス幅	φ		22		nS
クロック立ち上がり時間	φ _r			3	nS
クロック立ち下がり時間	φ _f			3	nS
クロックサイクルタイム	φ _{cy}		50		nS
リセットパルス幅	t _{RST}		φ _{cy} ×2+50		nS
LDパルス幅	t _{LDW}		50		nS
LTパルス幅	t _{LTW}		50		nS
CLK ↑ -EQ ↓ 遅延時間	t _{EQF}			20	nS
CLK ↑ -EQ ↑ 遅延時間	t _{EQR}			20	nS
CLK ↓ -PD23~PD0遅延時間	t _{PD}			20	nS
A, Bハイレベル幅	t _{PWABH}		φ _{cy} ×2+20		nS
A, Bロウレベル幅	t _{PWABL}		φ _{cy} ×2+20		nS
A, B位相差時間	t _{SAB}		φ _{cy} +10		nS
Zハイレベル幅	t _{sz}	同期クリアモード	φ _{cy} ×2+20		nS
Zパルス幅	t _{zz}	非同期クリアモード	φ _{cy} +20		nS
UPハイレベル時間	t _{UPH}	アップダウン・モード	φ _{cy} +20		nS
UPロウレベル時間	t _{UPL}	”	φ _{cy} +20		nS
DNハイレベル時間	t _{DNH}	”	φ _{cy} +20		nS
DNロウレベル時間	t _{DNL}	”	φ _{cy} +20		nS
UP ↑ -DN ↑ 設定時間	t _{UDS}	”	0		nS
CLK ↑ -INT ↓ 遅延時間	t _{INTF}	負荷容量75pF		121	nS



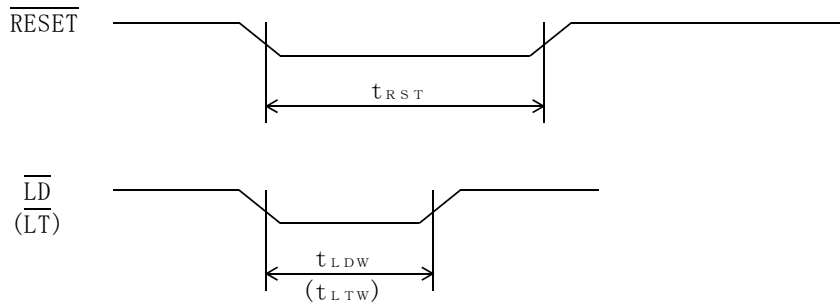
リードサイクル



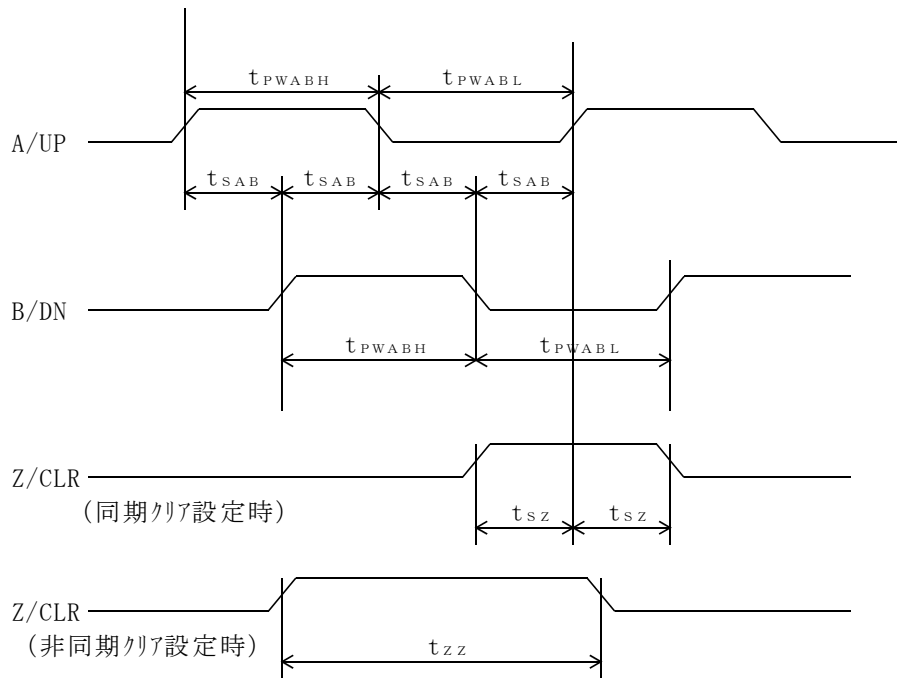
クロック波形



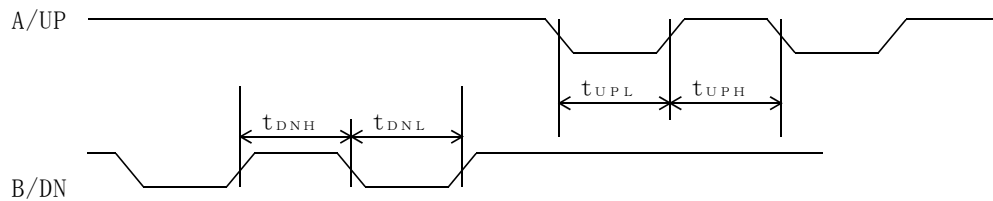
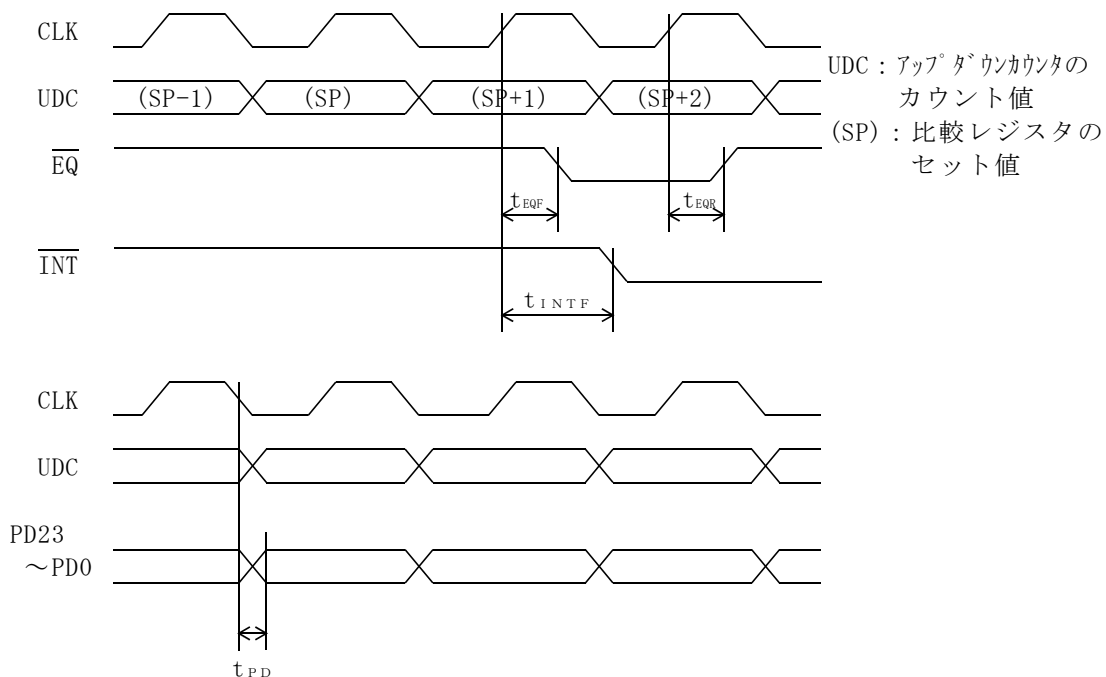
リセット波形



2相パルス信号入力タイミング

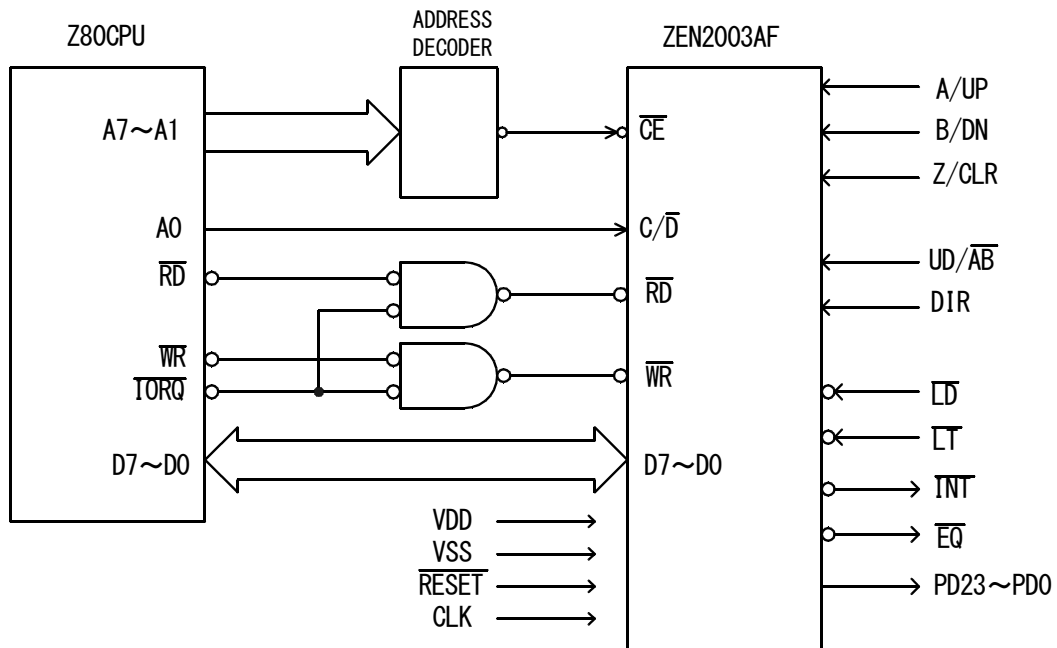


アップダウパルス信号入力タイミング

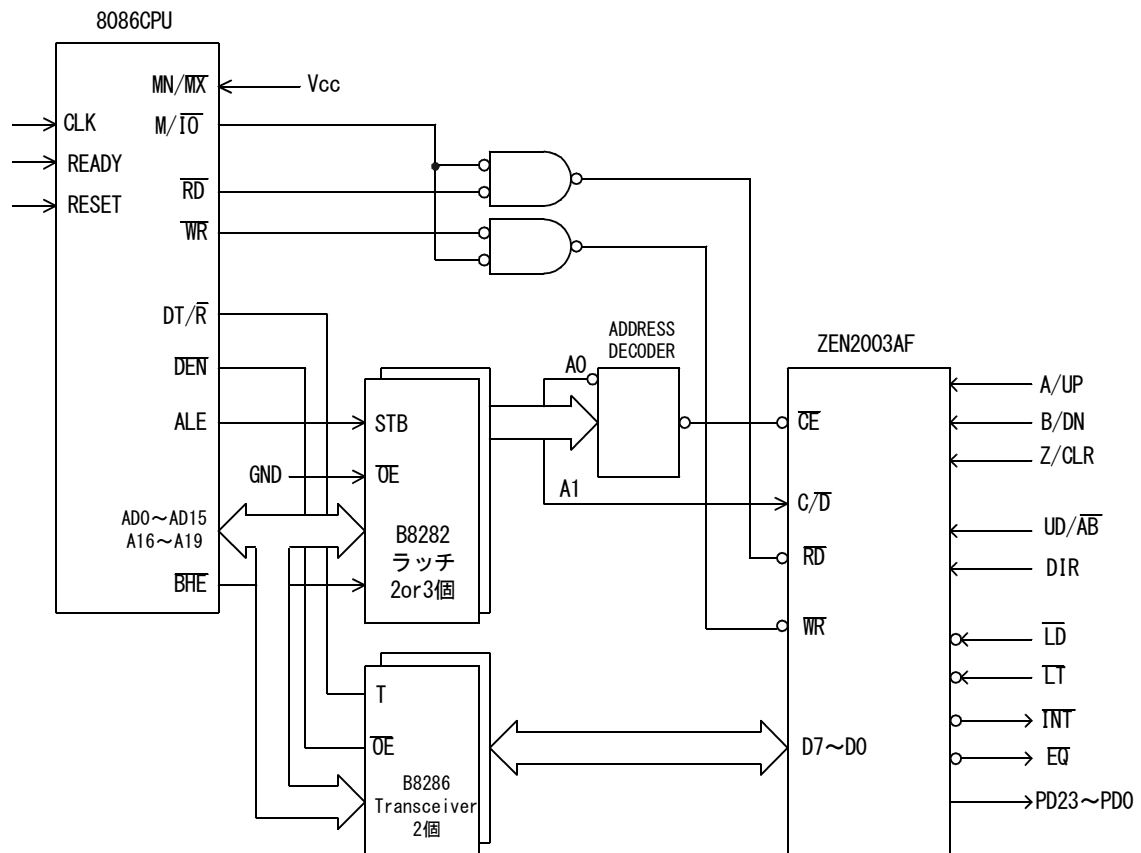
 \overline{EQ} 、 \overline{INT} 信号出力

12、基本インターフェイス例

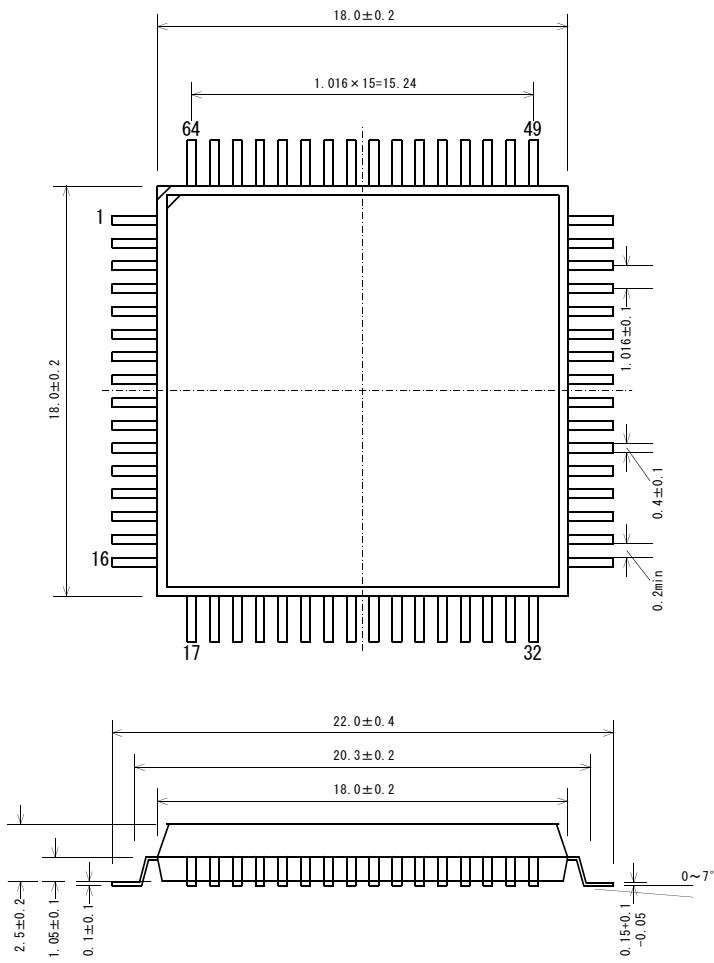
Z80



8086



1 3、外形寸法图 (单位: mm)



ご 注 意

- 1) 本製品および本資料は株式会社ジーニックの著作物です。したがって、本資料の全部または一部を無断で複製、転載することはご遠慮下さい。
- 2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。御使用に際しては、最新の資料を御請求願います。
- 3) 本資料に記載されております内容は工業所有権その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- 4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、回路の動作を保証するものではありません。
- 5) 本製品の具体的な運用の結果、他への影響については、責任を負いかねますので御了承下さい。
- 6) 本製品は一般的な電子機器（電算機、計測機器、産業用ロボット、位置決め装置など）に使用されることを意図しています。したがって、人命に直接関わる輸送機器、医療機器、宇宙、原子力関係機器などには使用しないで下さい。



URL <http://www.zenic.co.jp> E-mail support@zenic.co.jp

〒520-0801 滋賀県大津市におの浜4-7-5 オプテックスビル8F TEL 077-526-2101 FAX 077-526-0500